



高機能集積システム講座 集積アルゴリズム分野
准教授 高橋 篤司

研究分野 : VLSI設計手法, 同期式回路
キーワード : EDA, 論理設計, レイアウト設計,
ホームページ : <http://www.eda.ce.titech.ac.jp/takahashi/japanese/indexj.html>

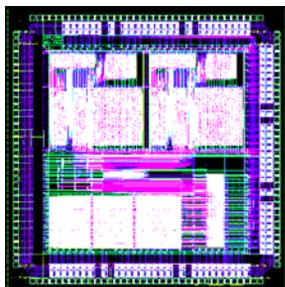
1 研究内容と目指すもの

- (1) デジタル集積回路システムのナノテクノロジー時代に対応する設計方法論の確立
- (2) 不確実性の増大に対応する可変レイテンシ回路の実現
- (3) 最先端テクノロジーの要求に応え人手設計を凌駕する性能を持つ配置配線アルゴリズムの開発

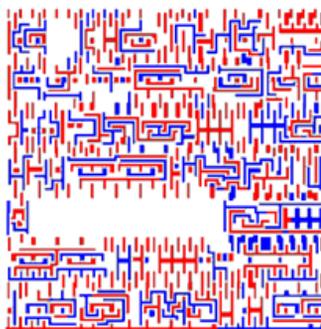
2 関連する最近の研究テーマ

次世代リソグラフィーに対応した物理設計技術開発

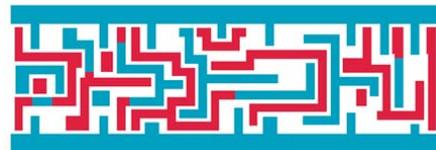
集積回路の微細化の進展は目覚ましく、その進展の継続のために様々な製造技術の開発が続いている。同様に設計技術も発展を遂げているが、回路の大規模化による設計複雑度の増大や微細化の進展による設計ルールの複雑化により、回路設計の困難さは増している。本研究は、ウエハ上に微細な回路パターンを実現する次世代のリソグラフィ技術に着目し、次世代リソグラフィ技術と設計技術の協調を実現するための実用的な設計フローを構築することを目的とする。複数回露光技術(multiple-exposure patterning)、側壁プロセス技術を用いたウエハ上でのパターンの縮小技術(Self-aligned patterning)など様々な技術を効果的に用いた実用的な設計フローの構築のための物理設計技術開発を目指している。【論文1】



集積回路

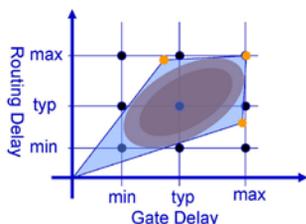


マスク分割(20nm²回露光対応)

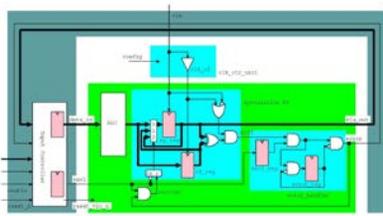


可変レイテンシ回路の実現

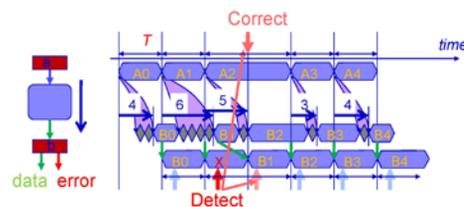
遅延は様々な要因によって変化し、回路の微細化、高速化に伴いばらつきの影響が大きくなっている。回路動作の正当性は想定されるすべての状況において保証されなければならないが、最悪状況の平均的状況からの逸脱が大きい現状では、常に回路に同一の動作をさせることは、回路性能の向上の大きな妨げとなっている。当研究室では、エラー検出回復方式に基づき回路動作を遅延の変化に応じて変更する高性能な可変レイテンシ回路の実現を目指している。



遅延分布(配線遅延, 素子遅延)



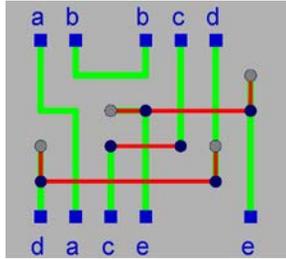
エラー検出回復方式



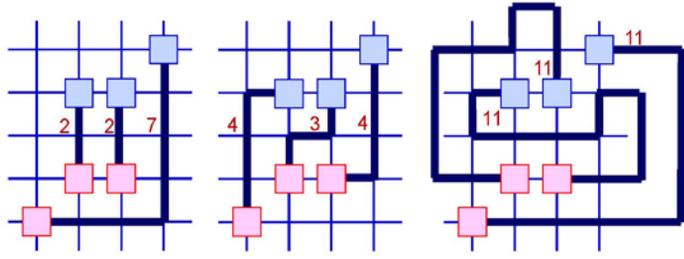
タイミングチャート(可変レイテンシ)

特定用途向け配線アルゴリズム開発

集積回路チップ内では、数多くの配線を実現しなければならないため、人手設計がほぼ不可能となり、配線が多層化するなど配線資源に比較的余裕があるため、配線設計の自動化が進化した。しかし、問題規模が比較的小さく、様々な仕様を満たすことが要求される場合、自動配線アルゴリズムの性能は人手に及ばない。そのため、人手設計がまだ一般的である場面も多いが、設計期間の短縮、大規模化への対応のため、自動配線アルゴリズムの性能向上が望まれている。当研究室では、プリント基板配線、パッケージ配線など人手設計がまだ一般的である配線問題に対して、問題の特徴を生かし、人手設計のノウハウを様々な形で組み込んだ、最短配線、等長配線、指定長配線など様々な要求仕様を満たす配線を生成するための配線アルゴリズムの開発を、配置設計との連携や全体の設計フローの構築を含めて進めている。



チャンネル配線(2層ビア多重化)

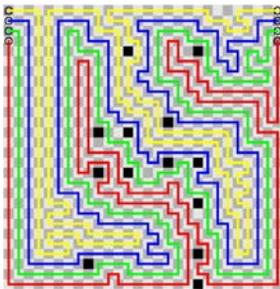


a) 総配線長最小

b) 最大最小

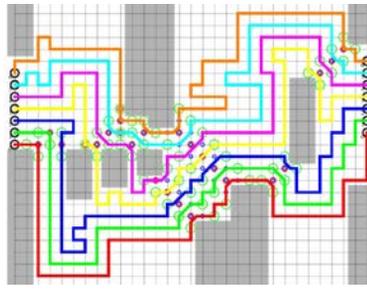
c) 等長

端子集合対間配線(1層)

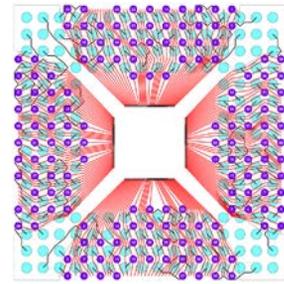


a) HV

プリント基板配線(1層指定長)【論文2,3】



b) HVX



パッケージ配線(2層BGA引出線付)【論文4】

3 関連する業績、プロジェクトなど

論文：

1. Chikaaki Kodama, Hirota Ichikawa, Koichi Nakayama, Toshiya Kotani, Shigeki Nojima, Shoji Mimotogi, Shinji Miyamoto, Atsushi Takahashi. Self-Aligned Double and Quadruple Patterning Aware Grid Routing with Hotspots Control. *Proc. Asia and South Pacific Design Automation Conference 2013 (ASP-DAC 2013)*, pp.267-272, Yokohama, Japan, January 23, 2013.
2. Kyosuke Shinoda, Yukihide Kohira, Atsushi Takahashi. Single-Layer Trunk Routing Using Minimal 45-Degree Lines. *IEICE Trans. Fundamentals*, Vol.E94-A, No.12, pp.2510-2518, 2011.
3. Yukihide Kohira, Atsushi Takahashi. CAFE router: A Fast Connectivity Aware Multiple Nets Routing Algorithm for Routing Grid with Obstacles. *IEICE Trans. Fundamentals*, Vol.E93-A, No.12, pp.2380-2388, 2010.
4. Yoichi Tomioka, Yoshiaki Kurata, Yukihide Kohira, Atsushi Takahashi. MILP-based Efficient Routing Method with Restricted Route Structure for 2-Layer Ball Grid Array Packages. *IEICE Trans. Fundamentals*, Vol.E92-A, No.12, pp.2998-3006, 2009.
5. Yukihide Kohira, Shuhei Tani, Atsushi Takahashi. Minimization of Delay Insertion in Clock Period Improvement in General-Synchronous Framework. *IEICE Trans. Fundamentals*, Vol.E92-A, No.4, pp.1106-1114, 2009.

著書：情報基礎数学 昭晃堂(2007), 情報とアルゴリズム 森北出版(2005)

受賞：東工大挑戦的研究賞(2005), LSI IPデザイン・アワード IP賞(2001), 電子情報通信学会学術奨励賞(1998), 回路とシステム軽井沢ワークショップ奨励賞(1992)